

NIXDORF
COMPUTER

Logik der elektronischen Bauteile

NIXDORF COMPUTER AG
AUSBILDUNG UND INFORMATION

Bestellnummer: S 0500 002 05 77 --

Symbolik für unterschiedliche Widerstandsbestückung
bei Transistorschaltungen:

Abhängig von der Belastbarkeit des Steuersignals sowie von der zu treibenden Last der Transistorstufen gelten folgende Symbole:

Anzahl der Grundstufen	3	3	6	12
R_1	12 kOhm	5,6 kOhm	2,7 kOhm	1,5 kOhm
R_2	12 kOhm	5,6 kOhm	2,7 kOhm	1,5 kOhm
R_3	82 kOhm	39 kOhm	18 kOhm	10 kOhm
R_4	18 kOhm	8,2 kOhm	4,7 kOhm	2,2 kOhm
R_5	3,9 kOhm	1,8 kOhm	1 kOhm	470 Ohm
R_c	2,2 kOhm	1 kOhm	560 Ohm	270 Ohm
R_L	12 kOhm	5,6 kOhm	5,6 kOhm	5,6 kOhm
Symbole				

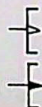


= PNP, sofern keine
besondere Zeichenerklärung
anderes aussagt

$P = 1/8 \text{ W}$
 $R = \pm 5 \%$

Erläuterungen zu den nachfolgenden Seiten:

H = High (positives Potential)
L = Low (Null-Potential)



= Anstoß mit positiver Flanke



= Anstoß mit negativer Flanke

Symbolik für unterschiedliche Widerstandsbestückung
bei Transistorschaltungen:

Abhängig von der Belastbarkeit des Steuersignals sowie von der zu treibenden Last der Transistorstufen gelten folgende Symbole:

Ansteuerbare Grundstufen	3	3	6	12
R_1	12 kOhm	5,6 kOhm	2,7 kOhm	1,5 kOhm
R_2	12 kOhm	5,6 kOhm	2,7 kOhm	1,5 kOhm
R_3	82 kOhm	39 kOhm	18 kOhm	10 kOhm
R_4	18 kOhm	8,2 kOhm	4,7 kOhm	2,2 kOhm
R_5	3,9 kOhm	1,8 kOhm	1 kOhm	470 Ohm
R_c	2,2 kOhm	1 kOhm	560 Ohm	270 Ohm
R_L	12 kOhm	5,6 kOhm	5,6 kOhm	5,6 kOhm
Symbole				

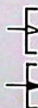


= PNP, sofern keine
besondere Zeichenerklärung
anderes aussagt

$P = 1/8 W$
 $R = + 5 \%$

Erläuterungen zu den nachfolgenden Seiten:

H = High (positives Potential)
L = Low (Null-Potential)

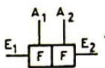
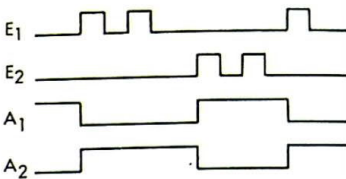
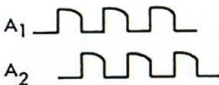
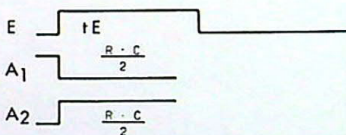


= Anstoß mit positiver Flanke

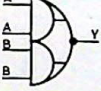


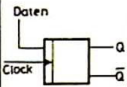
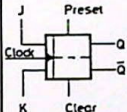
= Anstoß mit negativer Flanke

Symbol	Bezeichnung	Logik															
	Inverter	$E \downarrow = A \uparrow$ $E \uparrow = A \downarrow$															
	NAND NOR	<table border="1"> <tr> <td>E_1</td><td>+ V</td><td>0 V</td><td>+ V</td><td>0 V</td></tr> <tr> <td>E_2</td><td>0 V</td><td>+ V</td><td>+ V</td><td>0 V</td></tr> <tr> <td>A</td><td>0 V</td><td>0 V</td><td>0 V</td><td>+ V</td></tr> </table>	E_1	+ V	0 V	+ V	0 V	E_2	0 V	+ V	+ V	0 V	A	0 V	0 V	0 V	+ V
E_1	+ V	0 V	+ V	0 V													
E_2	0 V	+ V	+ V	0 V													
A	0 V	0 V	0 V	+ V													
	Emitter- folger	E A Spannungsverstärkung: < 1															
	Zwing- stufe (open collector)	E A max. R gegen Gnd															
	Zeitglied	E A $\frac{R \cdot C}{2}$															
	verzögerter Inverter	E A $R \cdot C$															

Symbol	Bezeichnung	Logik															
	Bistabiles Flip-Flop																
	Exklusiv-Oder	<table border="1" data-bbox="465 428 832 606"> <tr> <td>E_1</td><td>+ V</td><td>0 V</td><td>0 V</td><td>+ V</td></tr> <tr> <td>E_2</td><td>0 V</td><td>+ V</td><td>0 V</td><td>+ V</td></tr> <tr> <td>A</td><td>0 V</td><td>0 V</td><td>+ V</td><td>+ V</td></tr> </table>	E_1	+ V	0 V	0 V	+ V	E_2	0 V	+ V	0 V	+ V	A	0 V	0 V	+ V	+ V
E_1	+ V	0 V	0 V	+ V													
E_2	0 V	+ V	0 V	+ V													
A	0 V	0 V	+ V	+ V													
	Astabiles Flip-Flop (Freischwinger)																
	Mono-stabiles Flip-Flop																
	Mono-stabiles FF für lange Laufzeit, nachtriggerbar	wie vorherige Abbildung!															

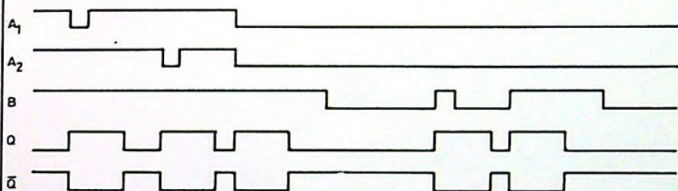
Symbol	Bezeichnung	Logik															
	Inverter	<table><tr><td>A</td><td>H</td><td>L</td><td>L'</td></tr><tr><td>Y</td><td>L</td><td>H</td><td></td></tr></table> Fan out max. 16 mA	A	H	L	L'	Y	L	H								
A	H	L	L'														
Y	L	H															
	NAND	<table><tr><td>A</td><td>H</td><td>L</td><td>L</td><td>H</td></tr><tr><td>B</td><td>L</td><td>H</td><td>L</td><td>H</td></tr><tr><td>Y</td><td>H</td><td>H</td><td>H</td><td>L</td></tr></table> Fan out max. 16 mA	A	H	L	L	H	B	L	H	L	H	Y	H	H	H	L
A	H	L	L	H													
B	L	H	L	H													
Y	H	H	H	L													
	AND	<table><tr><td>A</td><td>H</td><td>L</td><td>L</td><td>H</td></tr><tr><td>B</td><td>L</td><td>H</td><td>L</td><td>H</td></tr><tr><td>Y</td><td>L</td><td>L</td><td>L</td><td>H</td></tr></table> Fan out max. 16 mA	A	H	L	L	H	B	L	H	L	H	Y	L	L	L	H
A	H	L	L	H													
B	L	H	L	H													
Y	L	L	L	H													
	AND mit einem negierten Eingang	<table><tr><td>A</td><td>H</td><td>L</td><td>L</td><td>H</td></tr><tr><td>B</td><td>L</td><td>H</td><td>L</td><td>H</td></tr><tr><td>Y</td><td>L</td><td>H</td><td>L</td><td>L</td></tr></table> Fan out max. 16 mA	A	H	L	L	H	B	L	H	L	H	Y	L	H	L	L
A	H	L	L	H													
B	L	H	L	H													
Y	L	H	L	L													
	NAND- Zwing- stufe (open collector)	<table><tr><td>A</td><td>H</td><td>L</td><td>L</td><td>H</td></tr><tr><td>B</td><td>L</td><td>H</td><td>L</td><td>H</td></tr><tr><td>Y</td><td></td><td></td><td></td><td>L</td></tr></table> Fan out max. 16 mA	A	H	L	L	H	B	L	H	L	H	Y				L
A	H	L	L	H													
B	L	H	L	H													
Y				L													

Symbol	Bezeichnung	Logik																																			
	NOR	<table><tr><td>A</td><td>H</td><td>L</td><td>L</td><td>H</td></tr><tr><td>B</td><td>L</td><td>H</td><td>L</td><td>H</td></tr><tr><td>Y</td><td>L</td><td>L</td><td>H</td><td>L</td></tr></table> Fan out max. 16 mA	A	H	L	L	H	B	L	H	L	H	Y	L	L	H	L																				
A	H	L	L	H																																	
B	L	H	L	H																																	
Y	L	L	H	L																																	
	OR	<table><tr><td>A</td><td>H</td><td>L</td><td>L</td><td>H</td></tr><tr><td>B</td><td>L</td><td>H</td><td>L</td><td>H</td></tr><tr><td>Y</td><td>H</td><td>H</td><td>L</td><td>H</td></tr></table> Fan out max. 16 mA	A	H	L	L	H	B	L	H	L	H	Y	H	H	L	H																				
A	H	L	L	H																																	
B	L	H	L	H																																	
Y	H	H	L	H																																	
	Exclusiv-OR	<table><tr><td>A</td><td>H</td><td>L</td><td>L</td><td>H</td></tr><tr><td>B</td><td>L</td><td>H</td><td>L</td><td>H</td></tr><tr><td>Y</td><td>H</td><td>H</td><td>L</td><td>L</td></tr></table> Fan out max. 16 mA	A	H	L	L	H	B	L	H	L	H	Y	H	H	L	L																				
A	H	L	L	H																																	
B	L	H	L	H																																	
Y	H	H	L	L																																	
	Leistungs-gatter	wie bei NAND Fan out = 48 mA																																			
	AND-NOR	Fan out max. 16mA <table><tr><td>A</td><td>H</td><td>L</td><td>L</td><td>L</td><td>L</td><td>L</td></tr><tr><td>A</td><td>H</td><td>L</td><td>H</td><td>L</td><td>L</td><td>H</td></tr><tr><td>B</td><td>L</td><td>H</td><td>H</td><td>L</td><td>H</td><td>L</td></tr><tr><td>B</td><td>L</td><td>H</td><td>L</td><td>L</td><td>L</td><td>L</td></tr><tr><td>Y</td><td>L</td><td>L</td><td>H</td><td>H</td><td>H</td><td>H</td></tr></table>	A	H	L	L	L	L	L	A	H	L	H	L	L	H	B	L	H	H	L	H	L	B	L	H	L	L	L	L	Y	L	L	H	H	H	H
A	H	L	L	L	L	L																															
A	H	L	H	L	L	H																															
B	L	H	H	L	H	L																															
B	L	H	L	L	L	L																															
Y	L	L	H	H	H	H																															

Symbol	Bezeichnung	Logik
	D-Flip-Flop	Die am Dateneingang (D) anliegende Information wird mit der positiven Flanke des Clock-Impulses erkannt und ins Flip-Flop eingespeichert. Mit der negativen Flanke des Clock-Impulses wird diese Information zum Ausgang Q durchgeschaltet. $\bar{Q}$ ist die Invertierung von Q.
	JK-Master-Slave-Flip-Flop	<u>Bei log. entgegengesetztem J- und K-Eing. Pr + Cr auf +V:</u> Die an den Dateneingängen J und K anliegenden Informationen werden bei der pos. Flanke des Clock-Impulses erkannt und ins Flip-Flop eingespeichert. Bei der neg. Flanke des Clock-Impulses werden diese Daten zum Ausgang durchgeschaltet. Von J nach Q und von K nach $\bar{Q}$.
		<u>Bei J u. K auf 0V-Potential; Pr + Cr auf +V:</u> Bei der positiven Flanke des Clock-Impulses wird Qn erkannt (Zustand von Q u. $\bar{Q}$ vor dem Clock-Impuls). Bei der neg. Flanke des Clock-Impulses werden die Zustände wieder auf Q und $\bar{Q}$ gelegt, d.h. die Ausgänge Q und $\bar{Q}$ ändern sich nicht.
		<u>J u. K auf pos. Potential; Pr + Cr auf +V:</u> Bei der pos. Flanke des Clock-Imp. wird $\bar{Qn}$ erkannt (invertierter Zustd. v. Q u. $\bar{Q}$ vor dem Clock-Imp.). Bei der neg. Flanke des Clock-Imp. werden diese erkannten Zustände nach Q u. $\bar{Q}$ gelegt, d.h. nach jedem vollständigen Clock-Imp. sind die Ausg. Q u. $\bar{Q}$ entgegengesetzt ihrem vorherigen Zustand.
		<u>Preset und Clear:</u> Unabhängig vom J- und K-Eingang und vom Clock-Impuls werden bei einem neg. Signal am Pr-Eingang Q auf +V u. $\bar{Q}$ auf 0V gesetzt. Mit einem neg. Signal an Cr wird Q auf 0V u. $\bar{Q}$ auf +V gesetzt. Preset und Clear dürfen niemals gleichzeitig einen neg. Impuls erhalten.

Symbol	Bezeichnung	Formel
Ansicht von unten	Mono-Flop 74121	$t = R_{int} + R_{ext} \cdot C \cdot 0,72$

Logik



A_1 und A_2 sind logische Eingänge, die mit einer negativen Flanke des einen Eingangs und einem positiven Potential am anderen Eingang das Mono anstoßen oder bei Gleichschaltung mit negativer Flanke.

B ist ein Schmitt-Trigger-Eingang, der mit einer positiven Flanke das Mono anstößt.

Bei Gebrauch von A muß B auf +V und bei Gebrauch von B muß A auf 0V liegen.

Das Mono ist nicht löschar und nicht nachtriggerbar.

Weiterhin sind noch IC-Mono-Flops mit nachstehenden Kriterien vorhanden:

- Clear-Eingang zum Löschen und
- Eingang zum Nachtriggern (Halten für längere Zeit) des Monos.